


**COMPUTER SYSTEM**

**Patent number:** JP6266552  
**Publication date:** 1994-09-22  
**Inventor:** OABUIRU EICHI KURISUTESON; DAGURASU ERU  
GEIBURU; SHIIN TEI MAAFUI  
**Applicant:** INTEL CORP  
**Classification:**  
- **international:** G06F9/06; G06F9/06; G11C16/06  
- **european:** G06F9/445E  
**Application number:** JP19920139673 19920506  
**Priority number(s):** US19910695952 19910506

Also published as:

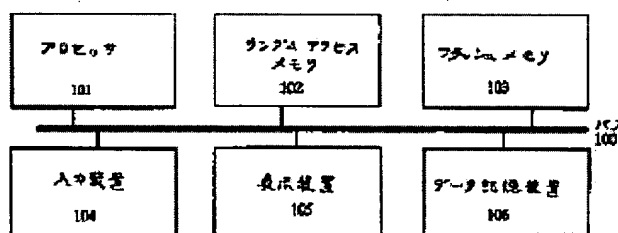
 DE4214184 (A1)

Report a data error here

**Abstract of JP6266552**

**PURPOSE:** To provide a computer system in which one part of codes/data stored in a nonvolatile memory device can be dynamically corrected or updated without detaching a cover or a part from the computer system.

**CONSTITUTION:** A computer system as a preferable execution example includes a flash memory element connected with the bus of the computer system which stores persistent codes and data. A flash memory 103 used as the preferable execution example includes four individually eliminatable/programmable asymmetrical memory blocks. One of those four blocks can be electronically locked for preventing the elimination or change of the contents of the blocks after setting. This system is also provided with hardware which selects one of two valid update modes, that is, normalization and recovery. Therefore, either a normalization system BIOS or a BIOS for recovery can be activated by using a mode selecting device.



Data supplied from the esp@cenet database - Worldwide

**BEST AVAILABLE COPY**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-266552

(43) 公開日 平成6年(1994)9月22日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/06		4 1 0 D 9367-5B		
G 1 1 C 16/06		9367-5B	G 0 6 F 9/06	5 4 0 M
		6866-51.	G 1 1 C 17/00	3 0 9 Z
			審査請求 未請求	請求項の数 4 F D (全 16 頁)

(21) 出願番号 特願平4-139673

(22) 出願日 平成4年(1992)5月6日

(31) 優先権主張番号 6 9 5 9 5 2

(32) 優先日 1991年5月6日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591003943

インテル・コーポレーション

アメリカ合衆国 95052 カリフォルニア

州・サンタクララ・ミッション カレッジ

ブーレバード・2200

(72) 発明者 オアヴィル・エイチ・クリステンソン

アメリカ合衆国 97229 オレゴン州・ポ

ートランド・ノースウエスト ホウィット

マン コート・2930

(74) 代理人 弁理士 山川 政樹

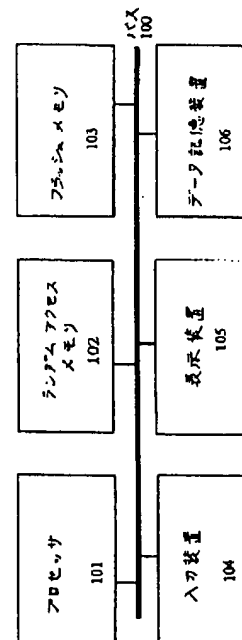
最終頁に続く

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【目的】 不揮発性メモリ装置に記憶されているコード／データの一部をコンピュータシステムからカバー又は部品を取り外さずに動的に修正又は更新することができるコンピュータシステム。

【構成】 好ましい実施例のコンピュータシステムは、コンピュータシステムのバスに結合して持久コード及びデータを記憶するフラッシュメモリ素子を含む。好ましい実施例で使用するフラッシュメモリは、4つの別個に消去／プログラム可能な非対称メモリブロックを含む。設置後のブロックの内容の消去又は変更を阻止するために、それら4つのブロックのうち1つを電子的にロックしても良い。本発明は、正規と回復という利用可能な2つの更新モードのうち一方を選択するハードウェアをさらに含む。従って、モード選択装置を使用すると、正規システムBIOS又は回復用BIOSのいずれかを起動できる。



## 【特許請求の範囲】

【請求項1】 処理論理を実行するプロセッサと；前記プロセッサに結合し、オペレーティングシステム処理論理及びデータを記憶している不揮発性メモリ装置と；前記プロセッサに結合し、前記不揮発性メモリ装置の内容を読取る手段と；前記プロセッサに結合し、前記不揮発性メモリ装置の内容を消去する手段と；前記プロセッサに結合し、前記不揮発性メモリ装置をプログラミングする手段と；前記オペレーティングシステム処理論理の実行中に前記オペレーティングシステム処理論理を更新する手段とを具備するコンピュータシステム。

【請求項2】 処理論理を実行するプロセッサと；前記プロセッサに結合し、オペレーティングシステム処理論理及びデータを記憶している不揮発性メモリ装置と；前記プロセッサに結合し、前記不揮発性メモリ装置の内容を読取る手段と；前記プロセッサに結合し、前記不揮発性メモリ装置の内容を消去する手段と；前記プロセッサに結合し、前記不揮発性メモリ装置をプログラミングする手段と；前記オペレーティングシステム処理論理の実行中に、前記不揮発性メモリ装置の1つの領域にあるアプリケーション特定処理論理を更新する手段とを具備するコンピュータシステム。

【請求項3】 処理論理を実行するプロセッサと、前記プロセッサに結合し、オペレーティングシステム処理論理及びデータを記憶している不揮発性メモリ装置とを有するコンピュータシステムにおける、前記オペレーティングシステム処理論理の実行中に前記オペレーティングシステム処理論理を更新する方法において、正規更新型又は回復更新型のいずれかである更新型を選択する過程と；前記更新型を選択する過程で前記回復更新型を選択した場合に回復処理論理を起動する過程と；前記オペレーティングシステム処理論理の実行中に実行される過程で、前記回復処理論理が起動された場合に前記不揮発性メモリ装置の第1の部分に再プログラミングする過程とから成る方法。

【請求項4】 処理論理を実行するプロセッサと、前記プロセッサに結合し、オペレーティングシステム処理論理及びデータを記憶している不揮発性メモリ装置とを有するコンピュータシステムにおける、前記オペレーティングシステム処理論理の実行中に、前記不揮発性メモリ装置の1つの領域にあるアプリケーション特定処理論理を更新する方法において、更新のために前記不揮発性メモリ装置の1つの領域を選択する過程と；前記選択する過程で選択された前記領域にあるアプリケーション特定プログラミング論理によって前記オペレーティングシステム処理論理の実行中に実行され、前記不揮発性メモリ装置の1つの領域に再プログラミングする過程とから成る方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はコンピュータシステムの分野に関する。特に、本発明は、不揮発性形態の基本オペレーティングシステム処理論理を組み込んだコンピュータシステムアーキテクチャの分野に関する。

【0002】

【従来の技術】 従来のコンピュータシステムの多くは、少なくとも、プロセッサと、ランダムアクセスメモリ装置と、読取り専用メモリ装置とを含む構造をとるのが普通である。様々な計算器のようなシステムでは、プロセッサと、読取り専用メモリ装置のみによって動作を実行することもある。読取り専用メモリ装置（ROM）は、コンピュータシステムへの給電が停止しても破壊されない不揮発性形態のメモリである。

【0003】 従来のコンピュータシステムは、通常、コンピュータシステムの内部にある読取り専用メモリ装置に記憶されている処理論理（すなわち、ファームウェア）を使用してブートストラップ（すなわち、パワーアップ初期設定）される。読取り専用メモリ装置は不揮発性であるので、ROM内部のファームウェアは有効データ又は命令を記憶するものと保証される。従って、従来のコンピュータシステムはROM内部のファームウェアを使用して確実にブートストラップ可能なのである。多くのコンピュータシステムは申し分なくこの方式を使用している。そのようなシステムの1例は、ニューヨーク州アーモンクのIBM Corporationが開発したIBM Personal Computer（PC）である。従来型のIBM PCはファームウェア又は基本入出力システム（BIOS）ソフトウェアプログラムを記憶するために読取り専用メモリ装置を使用する。BIOSは、コンピュータシステムのハードウェアと資源に対して最低レベルのソフトウェア制御を実行するオペレーティングシステム処理論理である。ネットワーク構成データ又はアプリケーション特定データを持久保持するために、ROM記憶装置を使用しても良い。従来の技術におけるROM装置は基本読取り専用メモリ装置（ROM）と、プログラマブル読取り専用メモリ装置（PROM）と、消去可能プログラム可能読取り専用メモリ装置（EPROM）とを含む。

【0004】 ROMに基づくコンピュータシステムは従来より良い結果をもたらしてきたが、コンピュータシステムでそのような装置を使用することに関してはいくつかの問題がある。コンピュータシステムの製造、組立て中、読取り専用装置をシステムに組込む前に、BIOS及び／又はデータによってメモリ装置をプログラムしなければならない。BIOS ROMはコンピュータのハウジング内部のシステム回路板に設置される場合が多い。ROMに基づくコンピュータシステムにおいてファームウェアを交換、修正又は更新するときには、コンピュータハウジングを取り除き、コンピュータシステム内部のシステム回路板にあるROM装置の接続を外して、

それを置き換えるか又は再プログラミングすることが必要である。この侵害を伴うROMの置き換えや再プログラミングの手順は、いくつかの理由によって不都合である。まず第1に、ROM取り替え作業は、通常、資格のあるフィールドサービス員又はコンピュータ修理員により手操作で実行されなければならない。そのため、作業は費用のかさむ、時間もかかるものとなる。第2に、ROM交換作業中、有資格の技術サービス員でも問題を生じさせることがあるという点がある。はんだ付けによる接続が必要である場合、その工程で既にある接続を損傷したり、もろくしてしまったりすることがある。また、ROM交換作業中、静電放電が偶然に回路基板上の別の素子に損傷を与えるおそれもある。第3に、ROMベースのコンピュータシステムを特定のアプリケーションに個別化することは容易ではない。そのような個別化には、非英語圏の国々での動作を可能にするための修正が含まれる。特定言語用データを不揮発性メモリに記憶することによりコンピュータシステムを個別化するためには、読取り専用メモリ装置をプログラミングして、コンピュータシステムの回路基板上に設置しなければならない。従来の技術ではROM設置手順が不便であるために、ユーザーが自身のコンピュータシステムを個別化するのは不可能であるか、又はできそうもない。

【0005】従って、コンピュータシステムにおいて不揮発コード及び／又はデータを記憶し且つ更新するより良い手段が必要である。

【0006】

【発明が解決しようとする課題】従って、本発明の目的は、コンピュータシステムからどの部分をも除去せずに不揮発コード及びデータを更新できるように不揮発コード及びデータをコンピュータシステムに記憶する手段を提供することである。本発明の別の目的は、不揮発性メモリの選択された一部分を他の部分を変更しないまま更新する手段を提供することである。本発明の別の目的は、通常の不揮発性メモリ更新手順の間に故障が起こった場合に回復を行う手段を提供することである。本発明の別の目的は、不揮発性メモリの現在内容をセーブする手段を提供することである。本発明の別の目的は、不揮発性メモリに現在存在しているコード及び／又はデータの内容を検査する手段を提供することである。本発明の別の目的は、不揮発性メモリの更新手順を制御するために更新制御ソフトウェアを後に取り出して、使用できるように、更新制御ソフトウェアをシステムBIOSの中に埋め込む手段を提供することである。

【0007】

【課題を解決するための手段】本発明は、不揮発性メモリ装置に記憶されているコード／データの一部を、コンピュータシステムからカバー又は部品を全く取り外さずに動的に修正又は更新することができることのできるようなコンピュータシステムである。好ましい実施例のコ

ンピュータシステムは、情報を通信するバスと、バスと結合し、情報を処理するプロセッサと、バスと結合し、プロセッサに関わる情報と命令を記憶するランダムアクセスメモリ装置と、バスに結合し、プロセッサへ情報及び指令選択を通信する英数字入力装置又はカーソル制御装置などの入力装置と、バスに結合し、コンピュータのユーザーに対して情報を表示する表示装置と、バスと結合し、情報と指令を記憶する磁気ディスク及びディスクドライブなどのデータ記憶装置とを具備される。さらに、好ましい実施例のコンピュータシステムは、バスに結合し、持久コード及びデータを記憶するフラッシュメモリ素子を含む。持久（不揮発性）コード及びデータの記憶には、フラッシュメモリ以外の装置を使用しても良い。本発明を利用すると、コンピュータシステムのハードウェア素子を除去及び／又は交換する必要なく、フラッシュメモリの内容を交換、修正、更新又は再プログラミングできる。

【0008】好ましい実施例で使用するフラッシュメモリ装置は別個に消去／プログラム可能な4つの非対称メモリブロックを含む。設置後、内容の消去又は変更を阻止するために、それら4つのブロックのうち1つを電子的にロックしても良い。この構成では、コンピュータシステムの処理論理はいずれかの選択されたメモリブロックを他のブロックの内容に影響を及ぼさずに更新又は修正することができる。1つのメモリブロックは正規のBIOSを含む。BIOSは、プロセッサにより実行される処理論理命令を含む。システムのBIOSメモリ領域を拡張するために、追加BIOS領域を使用できる。電子的に保護（すなわち、ロック）されたフラッシュメモリ領域は、回復動作に使用される回復用BIOSを記憶するために使用される。フラッシュメモリのそれらの別個にプログラム可能な領域は、それぞれ、本発明の動的更新メカニズムを使用して修正又は更新できる。

【0009】放棄されたBIOS更新がコンピュータシステムを機能しない状態にさせるのを阻止するために、本発明の更新手順は正規更新モードと、回復更新モードという2つの明確に異なるユーザー環境の中で動作する。正規更新モードでは、コンピュータシステムのキーボード及びビデオのサービスを指令選択の受信と、結果の表示のために利用できる。正規更新モードは、BIOSの各領域に加えて、フラッシュメモリの領域をセーブ、検査又は更新する機能をも実行する。回復更新モードでは、システムBIOS領域のみを更新できる。正規システムBIOSは正規BIOS更新中の電源障害の後に、あるいは他の何らかの理由により劣悪になっているためにユーザーがシステムをブートすることができないときに、回復更新モードを使用する。

【0010】動的BIOS更新プログラムは、本発明の処理論理の大半を含む。本発明の処理論理の残る部分はBIOSイメージそれ自体にある。動的更新処理論理

は、正規更新モードと回復更新モードを処理する処理を含む。本発明は、これら2つの利用可能更新モードのうち一方を選択するハードウェア手段をさらに含む。好ましい実施例では、この更新モード選択手段はコンピュータシステムの回路板にあるジャンパとして実現されている。ジャンパを使用して回復モードをセットしたならば、次に、コンピュータシステムのプロセッサをパワーアップ初期設定又はリセットすれば良い。パワーアップ時又はリセット時には、プロセッサは保護回復BIOSブロック内部の場所へ飛び越す。このようにして、回復モードで回復BIOSブロックにある回復モード処理論理を起動することにより、フラッシュメモリ装置マップを再構成できる。従って、モード選択手段を使用して、正規システムBIOS又は回復BIOSを起動できるのである。

【0011】正規BIOSを実行するとき、動的更新プログラムはユーザー側での選択のためにオプションのメニューを表示する。それらのオプションには、フラッシュメモリ領域の検査、選択されたフラッシュメモリ領域のセーブ、フラッシュメモリ領域の更新及び出口がある。それらの指令オプションを使用すると、更新しうるフラッシュメモリ領域は正規システムBIOS領域と、ユーザー予約領域と、局所領域ネットワーク(LAN)BIOS領域と、SCSI BIOS領域と、ビデオデータ領域と、他のハードウェア特定又はソフトウェア特定BIOS又はデータ領域、あるいはフラッシュメモリの1つの領域にある他の何らかのアプリケーション特定処理論理を含むことになるであろう。本発明の上記の目的及びその他の目的は、好ましい実施例の以下の詳細な説明における提示及び説明の通り、明白になるであろう。

#### 【0012】

【実施例】本発明は、不揮発性メモリの一部をシステムハードウェア素子を除去せずに修正又は更新できるようなコンピュータシステムである。以下の説明中、本発明を完全に理解させるために数多くの特定の事項を詳細に挙げるが、本発明を実施するためにそのような特定の詳細な事項を使用しなくとも良いことは当業者には明白であろう。また、場合によっては、本発明を無用にわかりにくくしないために、周知の構造、回路及びインタフェースを詳細には示さないこともある。

【0013】図1を参照すると、本発明のコンピュータシステムのブロック線図が示されている。本発明の好ましい実施例は、本発明の譲受人が製造している80386マイクロプロセッサを使用して実現される。ただし、それに代わるプロセッサやコンピュータシステムアーキテクチャを採用しても良いことは当業者には明白であろう。一般に、図1に示すようなコンピュータシステムは情報を通信するバス100と、そのバスと結合し、情報を処理するプロセッサ101と、バス100と結合し、

プロセッサ101に関わる情報と命令を記憶するランダムアクセスメモリ装置102と、バス100に結合し、プロセッサ101へ情報と指令選択を通信する英数字入力装置又はカーソル制御装置などの入力装置104と、バス100に結合し、コンピュータのユーザーに対して情報を表示する表示装置105と、バス100と結合し、情報と命令を記憶する磁気ディスク及びディスクドライブなどのデータ記憶装置106とを具備する。

【0014】さらに、好ましい実施例のコンピュータシステムは、バス100に結合し、持久コード及びデータを記憶するフラッシュメモリ素子103を含む。このフラッシュメモリ素子103は、コンピュータシステムへの給電が停止しても破壊されない不揮発性形態のメモリを構成するが、フラッシュメモリの内容の消去及び再プログラミングは可能である。フラッシュメモリ装置は当該技術分野では良く知られている。コンピュータシステムの基本入出力処理論理(BIOS)はフラッシュメモリ103に記憶されている。さらに、他のシステムソフトウェアやアプリケーション特定パラメータをフラッシュメモリ103に記憶しても良い。たとえば、局所領域ネットワーク(LAN)処理論理又は小型コンピュータ規格インタフェース(SCSI)処理論理を記憶するために、フラッシュメモリの複数の部分を使用しても良い。以下に、コンピュータシステムのハードウェア素子を除去及び/又は交換する必要なくフラッシュメモリ103の各部分をいかにして交換、修正又は再プログラミング(すなわち、更新)しうるかを説明する。

【0015】当該技術分野で現在知られている数種類の不揮発性メモリ装置は、装置が設置されている回路基板から装置を取り外さずに再プログラミングできる。再プログラム可能な不揮発性メモリ装置の1つの型はフラッシュメモリである。従来より、いくつかの種類のフラッシュメモリ装置がある。一連の専用電気信号を使用すれば、フラッシュメモリの内容を消去し、新たなデータによって再プログラミングすることは可能である。従来のフラッシュメモリ装置の多くは、装置の全ての記憶装置を完全に消去し、再プログラミングすることしかできない。ところが、他のフラッシュメモリ装置は、単一のフラッシュメモリ装置の中を複数の別個に消去可能且つプログラム可能なメモリブロックに区分している。本発明の好ましい実施例においては、そのような区分形フラッシュメモリ装置を使用する。好ましい実施例では、28F001BTという型のフラッシュメモリ装置を使用する。28F001BTフラッシュメモリ装置は、本発明の譲受人が製造している1Mビットメモリ装置である。ここで教示する本発明に伴って別の形態の再プログラム可能な不揮発性メモリ装置を使用しても良いことは当業者には明白であろう。そのような非フラッシュ装置の1例は電氣的消去可能プログラム可能読取り専用メモリ(EEPROM)である。

【0016】好ましい実施例で使用するフラッシュメモリ装置は、4つの別個に消去／プログラム可能な非対称メモリブロックを含む。設置後のブロックの内容の消去又は変更を阻止するために、それら4つのブロックのうち1つを電子的にロックしても良い。この構成によれば、コンピュータシステムの処理論理はいずれかの選択されたメモリブロックを他のブロックの内容に影響を及ぼさずに更新又は修正することができる。図2を参照すると、好ましい実施例のフラッシュメモリ装置のいくつかの別個に消去／プログラム可能な非対称ブロックを示す。図2は、フラッシュメモリの内容の正規BIOSメモリマップ200を示す。BIOSは、プロセッサが実行する処理論理命令を含む。本発明の好ましい実施例では、コンピュータシステムのプロセッサは80386マイクロプロセッサである。好ましい実施例のコンピュータシステムを最初にパワーアップすると、プロセッサは初めの記憶場所FFFF0Hへジャンプし、実行を開始する。従って、コンピュータシステムの初期設定を処理するために、起動中のシステムBIOSは記憶場所FFFF0Hを含んでいなければならない。図2の正規BIOSマップ200により指示する通り、プロセッサはそのパワーアップ時又はリセット時に正規システムBIOS 201の中の1つの記憶場所へジャンプする。この領域201の中にある処理論理を使用して、コンピュータシステムの正規の初期設定及び制御機能を処理すれば良い。追加BIOS領域205を使用すると、システムBIOSメモリ領域を拡張できる。

【0017】電子的に保護（すなわち、ロック）されたフラッシュメモリ領域202は、回復動作に使用する回復用BIOSを記憶するための領域である。回復動作については以下に説明する。別個にプログラム可能な領域203は、特定のユーザー又は特定のアプリケーションが使用するために予約されているメモリ領域である。この領域はコンピュータシステムの動作を個別化するため又はシステムBIOSの機能性を向上させるために使用されても良い。以下に説明する通り、別個にプログラム可能な領域203はLAN処理論理か、SCSI処理論理か、ビデオ又は制御論理かを含んでいても良く、あるいは、他のハードウェア特定又はソフトウェア特定論理又はデータ、もしくはフラッシュメモリの1領域の他の何らかのアプリケーション処理論理を含んでいても良い。別個にプログラム可能な領域203がLAN又はSCSI論理を含む場合、ネットワーク又は他の外部装置からコンピュータシステムをブートロードするために、それらの追加フラッシュ領域を走査するようにシステムBIOSをイネーブルする。別個にプログラム可能な領域204は、システム用に予約された領域である。この領域は正規システムBIOSの追加あふれ領域であっても良い。フラッシュメモリのこれらの別個にプログラム可能な領域は、それぞれ、以下に説明するような本発明

の動的更新メカニズムを使用して修正又は更新可能である。

【0018】BIOSを記憶するためにフラッシュメモリ装置を使用することの欠点の1つは、更新プロセスの間に電源故障又は他の誤りが起こり得ることである。その結果、BIOSが不完全になったり又は劣悪になったりするので、システムは機能しなくなると考えられる。BIOS更新の打ち切り後にコンピュータシステムの動作を回復するためには、コンピュータシステムの部品を取り除き、再プログラミングしなければならないであろう。表面実装フラッシュ素子を使用した場合、フラッシュメモリ素子の除去はさらに複雑になるであろう。

【0019】BIOS更新の打ち切りがコンピュータシステムの機能を停止させるのを阻止するために、本発明の更新手順は正規更新モードと、回復更新モードという2つの明確に異なるユーザー環境の中で動作する。これら2つの環境の大きな差はユーザーインタフェースである。正規更新モードでは、指令選択を受信し且つ結果を表示するためにコンピュータシステムのキーボードとビデオのサービスを利用できる。頑丈な正規更新ユーザーインタフェースを使用すると、フラッシュメモリのセーブ、検査又は更新の動作を指定できる。また、フロッピーディスクドライブ、ハードディスクドライブ、ネットワーク又はモデムなどの様々なソースから検索又はセーブするために、データファイルを指定しても良い。検索又はセーブしたファイルの中に含まれるデータはBIOSイメージ、データイメージ、あるいは不揮発性メモリ領域又はフラッシュメモリ領域の内容の他のメモリーイメージ表示であっても良い。正規更新モードは、BIOS領域に加えて、フラッシュメモリの他の領域をセーブ、検査又は更新する機能も実行する。回復更新モードにおいては、システムBIOS領域のみを更新することができる。回復更新モードは、正規BIOS更新中の電源故障に続いて又は他の何らかの理由により正規システムBIOSが悪化してしまったためにユーザーがシステムをブートすることができないときに使用される。この状況では、図2に示す保護回復BIOSブロック202にある別の1組の処理論理は、厳密に悪化した正規システムBIOS領域201を更新する目的のために実行される。回復用BIOS処理論理が消費するメモリ領域を少なくするために、最低レベルの機能のみが与えられ、ユーザーインタフェース能力を支援することはない。キーボードとビデオのサービスは利用できず、ユーザーとの対話なしに回復用BIOSにより所定のアクションを実行しなければならない。コンピュータシステムのスピーカーから発する可聴ブザー音コードがBIOS領域のプログラミングの状態を指示する。

【0020】好ましい実施例のコンピュータシステムの正規動作においては、プロセッサ101は、まず、フラッシュメモリ103の正規システムBIOS領域201

からの命令を実行する。その後、データ記憶装置106からランダムアクセスメモリ(RAM)102へ全機能付きオペレーティングシステムを読取り、RAM102から実行すれば良い。初期設定と、入力装置104、表示装置105及びデータ記憶装置106に対する正規アクセスのために、システムBIOS201の中のコードを使用しても良い。全機能付きオペレーティングシステムが転送されて、ランダムアクセスメモリ102で実行中であるとき、データ記憶装置106で他のアプリケーション実行可能ファイルとデータファイルをアクセスできる。そのような実行可能ファイルの1つは、本発明の動的更新処理理論の大半を含む動的な揮発性メモリ更新プログラムである。本発明の処理理論の残る部分はメモリイメージ自体の中に入っている。メモリイメージを含むファイルと、回復モード更新のために使用する定義済み回復用BIOSイメージを含むファイルとは、データ記憶装置106にある。BIOSイメージが特定の型であるメモリイメージは、不揮発性又はフラッシュメモリの目標更新領域の2進内容である。動的更新処理理論は、当業者には良く知られている手段を使用して起動、実行されれば良い。そのようにして起動される動的更新処理理論は、正規更新モードと、回復更新モードとを処理する理論を含む。以下に、動的更新処理理論のアーキテクチャと動作を説明する。

【0021】先に指示したように、好ましい実施例は正規更新モードと、回復更新モードという2つの基本モードで動作する。本発明は、それら2つの利用可能更新モードの一方を選択するハードウェア手段をさらに含む。好ましい実施例では、この更新モード選択手段はコンピュータシステムの回路基板にあるジャンパとして実現される。ジャンパは、フラッシュメモリ装置へのインタフェースにあるアドレス線16を変更するために使用される。ジャンパを第1の設定に設定することにより、図2に示す正規BIOSマップと、対応する正規BIOS更新ユーティリティを使用できる。ジャンパを第2の設定に設定すると、回復用BIOSマップが構成され、回復用更新モードをイネーブルする。コンピュータシステムにおいて2つのモードのうち一方を選択するための、スイッチ又は押しボタンなどの他の手段は当業者には明白であろう。

【0022】次に、図3a及び図3bを参照すると、回復モード設定においてジャンパがフラッシュメモリのメモリ構成に与える効果が示されている。図3aでは、正規BIOSマップ200はフラッシュメモリの構成を示し、ジャンパは正規モード設定に設定されている。この構成は、図2に関して先に説明した構成と同じである。パワーアップ時又はシステムリセットの後、プロセッサは図3aに矢印311により指示する正規システムBIOS201内の記憶場所へジャンプする。次に、正規システムBIOS201の処理理論は、正規動作のために

コンピュータシステムを制御し、初期設定する。ところが、BIOS更新動作の打ち切り後などに正規システムBIOS201が悪化した場合には、正規システムBIOS201内部における実行は予測不可能になる。従って、回復モード機能がないと、悪化した正規システムBIOS201を含むコンピュータシステムは機能しなくなる。

【0023】正規システムBIOS201の悪化のために、その開始がうまくゆかない場合には、選択手段(すなわち、ジャンパ)を回復モードに切り換えることにより回復モードを選択できる。回復モードでは、フラッシュメモリ内部の記憶場所をアドレス指定するために使用されるアドレス線16を相補状態に変更する。そのように変更すると、フラッシュメモリの上半分と下半分は論理的にフリップされる。従って、アドレスFFFFFFHは記憶場所FFFFFFHにマッピングし、記憶場所F0000Hは記憶場所E0000Hにマッピングする。回復モードにおける再マッピングメモリ構成は図3bに示す回復用BIOSマップの中に表されている。回復モードでは、正規システムBIOS201は回復用BIOSマップの記憶場所301に再マッピングされる。同様に、回復用BIOSブロック202は回復用BIOSマップ300の記憶場所302に再マッピングされる。メモリ領域203、204及び205も記憶場所303、304及び305にそれぞれ再マッピングされる。

【0024】ジャンパを使用して回復モードを設定し、図3bに示すように回復用BIOSマップが得られたならば、コンピュータシステムのプロセッサをパワーアップ初期設定するか又はリセットできる。パワーアップ時又はリセット時には、プロセッサは矢印312により指示するように保護回復用BIOSブロック302の中の1つの記憶場所へジャンプする。このようにして、フラッシュ装置メモリマップを回復モードで再構成することにより、回復用BIOSブロック302にある回復モード処理理論を起動すれば良い。従って、モード選択手段を使用すると、正規システムBIOS201又は回復用BIOS302のいずれかを起動できる。正規BIOS又は回復用BIOSを起動した後、本発明の動的BIOS更新処理理論をデータ記憶装置106から検索して、ランダムアクセスメモリ装置102にロードし、プロセッサ101により実行させれば良い。このモード指示は、コンピュータシステムが正規モードで動作しているか又は回復モードで動作しているかを指定する。

【0025】起動後、本発明の動的更新処理理論は、以下に図5及び図6のフローチャートを参照して詳細に説明するように動作する。動的BIOS更新処理理論は、選択したのが正規モードであるか、回復モードであるかに従って、2組の機能を提供する。正規モードでは、頑丈なヒューマンインタフェースを構成する。このインタフェースはシステムBIOS領域を含むいずれかのフラ

ッシュ領域を更新するためのメニュー選択、ファイル選択、補助情報及び状態メッセージを図形表示する。この図形ユーザーインタフェースパッケージは、カラーユーザーインタフェース画面を規定し且つ表示するためのサブルーチンを構成する。このパッケージはユーザーを補助するためにオンラインの支援も実行する。

【0026】回復モードでは、回復用BIOS処理論理は構成情報の利点を受けずにシステムのクリティカルな部分を持ち出すのみである。回復用BIOSは、正規システムBIOSが悪化したものと仮定する。従って、回復用BIOSの唯一の機能は、正規システムBIOSをフラッシュメモリ装置にロードできる時点までシステムをイネーブルすることである。回復用BIOSはユーザーの介入なくパワーアップ時に自動的に実行する。コンピュータシステムのスピーカから発する可聴ブザー音コードはBIOS領域のプログラミングの状態を指示する。回復用BIOSは正規BIOSのサブセットである。

【0027】正規BIOSから実行しているとき、動的更新プログラムはユーザー側の選択に備えてオプションのメニューを表示する。オプションには、フラッシュメモリ領域の検査、選択したフラッシュメモリ領域のセーブ、フラッシュメモリ領域の更新及び出口がある。そこで、動的更新プログラムはフラッシュメモリの中で、読取り又は書込みのために利用できる領域を確定するために正規システムBIOSとインタフェースする。次に、読取り又は書込みのためにどの領域が利用できるかを指示するサブメニューが表示される。そこで、ユーザーはこのメニューから検査、セーブ又は更新の動作を起こすために領域を選択すれば良い。セーブ/検査/更新動作を実行するため及び更新前にファイル情報を検査するためにユーザーにファイル名を入力させるように、追加メニューが表示される。追加メニューはセーブされるファイルイメージに関する情報をユーザーに提供するためにも使用される。次に動作を実行し、ユーザーにその完了状態を報知する。正規更新モードは正規システムBIOS領域201及び205、ユーザー予約領域203又はシステム予約領域204のいずれかを更新するために利用できる。それらの領域は別個でも、組み合わせても更新可能である。別個にプログラム可能な領域203又は他の別個にプログラム可能な領域はLAN処理論理、SCSI処理論理、他のネットワーク論理又はデータ、ビデオデータ又は制御論理、他のハードウェア、又はソフトウェア特定論理又はデータ又はフラッシュメモリの1つの領域の他の何らかのアプリケーション特定処理論理を記憶しているものと思われる。正規システムBIOS領域201及び205は同一の物理ブロックにあるため、同時に消去される。

【0028】先に述べた通り、動的更新プログラムはフラッシュメモリ領域のいずれかを更新するために使用で

きる。正規システムBIOSの更新は先に説明した通りである。本発明の注目に値する拡張には、ユーザー予約領域203又は他の別個にプログラム可能な領域のLAN処理論理、SCSI処理論理、ビデオデータ又は制御論理、他のハードウェア又はソフトウェア特定論理又はデータ、あるいは他の何らかのフラッシュメモリの1つの領域のアプリケーション特定処理論理によって更新することがある。LAN処理論理、SCSI処理論理あるいはネットワーク論理又はデータを記憶しているフラッシュメモリ領域を更新する場合、コンピュータシステムを特定のネットワーク接続に合わせて構成すれば良い。従来のネットワーク形コンピュータシステムでは、特定ネットワークごとにネットワークブートPROMが必要である。ある特定のネットワークに合わせてコンピュータシステムを再構成するためには、PROMを変更するか又は異なるネットワーク回路基板を追加することが必要である。

【0029】本発明を使用することにより、領域203のような、システムBIOS領域以外のフラッシュメモリ領域をLAN処理論理、SCSI処理論理、他のネットワーク論理又はデータ、ビデオデータ又は制御論理、他のハードウェア又はソフトウェア特定論理又はデータ、あるいはフラッシュメモリの1つの領域の他の何らかのアプリケーション特定処理論理によってプログラムしても良い。これらの非システムBIOS更新領域のプログラミングは、システムBIOS領域の更新に使用するものとして説明したのと同じ動的更新ユーティリティ手順を使用して実行される。さらに、システムのブートアップ時に、非システムBIOS更新領域にあるコードをコンピュータシステムを異なる方式で、たとえば、ネットワークからブートする目的で実行すべきか否かを判定するために、それらの領域を走査するようにシステムBIOSを構成しても良い。従って、非システムBIOSフラッシュメモリ領域の動的更新の実現は、非システムBIOS更新領域のシステムBIOS走査をイネーブルする追加の過程を含んでも良い。

【0030】このイネーブル過程を実行するにはいくつかの方法がある。まず第1に、更新領域のプログラミングに続いて領域の走査を起動するために、コンピュータシステムのハードウェアスイッチ又は特定のキーストロークシーケンスを設けても良い。イネーブル過程の別の代替実施例によれば、非システムBIOS領域の更新に続いてシステムBIOS領域を更新する。システムBIOS領域を更新することにより、非システムBIOS領域の走査をイネーブルするデータ項目を設定できる。この別の実施例では、非システムBIOS領域の内部の固定記憶場所で特定のデータパターンが検出された場合、常に非システムBIOS領域を走査して、そのコードを実行するようにシステムBIOSを構成しても良い。それらの実施例のいずれにおいても、フラッシュメ



モリの非システムBIOS領域を動的に更新し、それにより、ネットワーク特定ハードウェア又はPROM装置を不要にすることができる。更新された非システムBIOS領域を使用すると、コンピュータシステムをネットワークからブートしたり、ディスクなし構成で動作させたりできるのである。

【0031】次に図4を参照すると、本発明の動的更新プログラムのアーキテクチャが示されている。好ましい実施例では、互いに連係して本発明の動的更新プログラム490を形成する5つの別個のコンパイルモジュール(470, 471, 472, 473, 475)がある。主処理モジュール470は全ての制御と決定実行を行い、残る4つのモジュールとインタフェースする。メモリイメージインタフェースモジュール471はメモリイメージを処理する(すなわち、読取り且つ書込む)ために使用される。メモリイメージは目標不揮発性メモリ領域の2進内容である。メモリイメージは、複数のメモリイメージファイル479を記憶している磁気ディスク装置のような外部記憶媒体から読取られる。メモリイメージは、永久保持のため、外部記憶媒体中のファイル478に書込まれる。メモリイメージファイル479は、それぞれ、メモリイメージの様々な情報を伴う見出しを記憶している。

【0032】不揮発性メモリ領域を更新するためには、更新すべき不揮発性メモリ領域にはない更新論理を使用しなければならない。更新すべき不揮発性メモリ領域にあった論理を使用すると、更新動作がこの論理を変化又は悪化させるおそれがある。ところが、ハードウェア特定手順を実現しないという目的を達成するためには、更新すべきメモリイメージ479のそれぞれに必要な更新論理を記憶しておくのが有利である。この更新論理は保護ソフトウェア手順の形態でメモリイメージ479に記憶される。メモリイメージ479自体に保護手順を記憶することの重要な理由は、ハードウェア従属コードをメモリイメージ479へ区分する一方で、RAMから実行されるハードウェア独立コードを動的更新プログラム490に維持することである。従って、各メモリイメージ479にある更新論理がハードウェア特定事項を処理するので、数多くの異なるハードウェア構成に対して同一の動的更新プログラム490を使用できるのである。ユーザーが更新動作を要求すると、動的更新プログラム490は動的更新プログラム490により指定される安全なランダムアクセスメモリ位置にそれらの手順を複写することを正規システムBIOS481に要求する。この動作は、メモリイメージ自体がそれらの保護手順を規定し且つ維持すると共に、それらの手順がフラッシュ更新中に更新アドレススペースに存在しないことを保証する。保護更新手順モジュール472は、更新メモリイメージ479からそれらの保護手順を得て、それらを動的更新プログラム490の主処理モジュール470に対し

て利用可能な状態にする。

【0033】ビデオインタフェースモジュール473は、ビデオ表示装置474との間の要求される全ての対話を実行する。この対話には、メニューの表示、定義誤りメッセージの表示、状態メッセージの表示及びメモリイメージ記憶場所について要求される情報(すなわち、ファイル名)の獲得がある。ユーザーからの入力及び指令選択を受信するために、ユーザーキーボード入力手段480も設けられている。フラッシュインタフェースモジュール475は1組の非保護BIOS手順476と、主処理モジュール470とをつなぐ。「フラッシュメモリ読取り」などの非保護BIOS手順476は、先に規定した保護手順の使用を必要としない。それらの非保護BIOS手順476はプロセッサ割込み(INT15)を経てアクセスされ、それにより、フラッシュメモリ装置477に対するアクセスを与える。保護手順と非保護手順の双方に関わるインタフェース仕様を「図面の簡単な説明」のすぐ前に挙げる。

#### 好ましい実施例の動作

好ましい実施例の動的更新プログラムの処理論理はランダムアクセスメモリ102の中に操作可能に配置されており、先に説明したコンピュータシステムのプロセッサ101により実行される。本発明の処理論理は、実行のためにプロセッサ101に対しアクセス可能な他のメモリ手段にも同じように配置されても良い。動的更新プログラム490の処理論理を別個にコンパイルし、全体としてより大きなソフトウェアシステムにロードするか又は一部として組み込むことが可能である。いずれの場合にも、本発明の処理論理を起動する手段は先に説明した技術を使用して実行されても良い。起動後、本発明の処理論理は以下に説明するように動作する。その動作を図5及び図6のフローチャートに示す。

【0034】そこで、図5を参照すると、本発明の動的更新プログラムは起動時にブロック501で始まる。決定ブロック502では、選択したのが正規モードであるか又は回復モードであるかを判定するために試験を実行する。先に説明した通り、正規BIOSと回復用BIOSは、共に、いずれかのBIOSが起動されたときにモード指示データ項目を設定する。決定ブロック502でこのデータ項目にアクセスすることにより、活動モードを判定できる。回復モードを選択した場合には、処理経路503を通して処理ブロック505に至り、そこで、データ記憶装置から定義済み正規システムBIOSイメージを検索する。次に、保護BIOS更新手順を検索するために、回復用BIOSをアクセスする(処理ブロック506)。ブロック506で検索した保護手順はBIOS消去手順と、BIOSプログラム手順を含む。次に、フラッシュメモリの消去とプログラミングのためにコンピュータシステムを準備する(処理ブロック535)。フラッシュメモリの消去及びプログラミングのた

めのコンピュータシステムの準備には、キャッシュ機能及びシャドウィング機能のディスエーブル、フラッシュへの書き込み動作のイネーブルの各動作と、他のハードウェア特定動作を含む動作がある。保護手順を検索し、コンピュータシステムを準備したならば、BIOS消去手順を起動して、フラッシュメモリ中の正規システムBIOS領域を消去する。消去動作が完了したならば、BIOSプログラム手順を使用して、定義済みBIOSイメージをフラッシュメモリ中の正規システムBIOS領域にロードする（プログラミングブロック507）。この動作が完了したならば、動的更新プログラムの処理論理は処理ブロック508で終了する。ユーザーは、コンピュータシステムのスピーカーからの可聴ブザー音コードによって完了を知る。回復モードの処理が終了したとき、ジャンプ、すなわち、モード選択手段を正規モードの選択に戻し、フラッシュメモリ中の新たにロードされたシステムBIOSに制御を引き継ぐために、コンピュータシステムを再始動又はパワーアップ初期設定することができる。

【0035】再び決定ブロック502に戻る。正規モードを選択した場合、処理経路504を通して処理ブロック510に至り、そこで、正規更新オプションの主メニューをユーザーに表示する。それらのオプションには、フラッシュ領域検査動作、フラッシュ領域セーブ動作、フラッシュ領域更新動作及び出口動作が含まれる。ユーザーにメニューを提示したならば、処理ブロック511で入力装置104からメニュー選択を検索する。決定ブロック512で出口動作を選択した場合には、処理経路513を通して終了ブロック515に至り、そこで、動的更新プログラムの実行は終了する。

【0036】これに対し、出口動作を選択しなかった場合には、処理経路514を通して処理ブロック516に至り、そこで、非保護正規システムBIOS手順を起動して、検査、セーブ又は更新しうるBIOSの活動フラッシュ領域を検索する。処理ブロック517で、活動フラッシュ領域を二次メニューの中に表示する。処理ブロック518で、再び、ユーザーは入力装置104を介してメニュー選択を入力するように促される。フラッシュ領域検査を選択すると、処理経路520を通して、図6に丸の中にAを入れた記号によって指示されている場所に至る。フラッシュ領域セーブ動作を選択した場合には、処理経路523を通して、図6に丸の中にBを入れた記号によって指示されている場所に至る。同様に、フラッシュ領域更新動作を選択した場合には、処理経路526を通して、図6に丸の中にCを入れた記号によって指示されている場所に至る。不適切な（すなわち、主メニューへの復帰）指令選択を実行した場合には、処理経路527を通して丸Dの場所に至り、そこで、制御は処理ブロック510に戻り、主表示メニューを再びユーザーに提示する。

【0037】次に、図6を参照すると、3つのフラッシュメモリ領域操作のそれぞれに関わる処理論理が示されている。フラッシュメモリ検査動作を選択した場合には、丸Aの下方の処理論理を実行する。処理ブロック601では、指定のフラッシュメモリ領域に対して比較されるファイルの名を入力するようにユーザーに促す。指定のフラッシュメモリ領域の全内容を記憶するのに単一のファイルでは不十分である場合、比較用フラッシュデータイメージ内容の各部分を含むいくつかのファイルを当該技術では良く知られているファイル連鎖方法により一体に連鎖しても良い。処理ブロック602と決定ブロック604との間のループでは、比較用ファイル又は連鎖ファイルの内容を読み取り、指定のフラッシュメモリ領域の内容と比較する。差異が認められれば、ループは検査誤りによって終了する。検査プロセスは、比較用ファイル及び関連する連鎖ファイルの全内容が選択したフラッシュメモリ領域の内容と比較されるまで続く。検査が完了すると、処理経路606を通して処理ブロック607に至り、そこで比較の結果をユーザーに表示する。その後、処理は図5に丸Eとして示してある場所へ続き、そこで、オペレータに次の指令選択を入力するように促す。

【0038】再び図6を参照すると、丸Bの下方には、フラッシュメモリ領域セーブ指令と関連する処理論理が示されている。ユーザーがフラッシュメモリ領域セーブ指令を選択すると、処理制御は処理ブロック608へ移行し、そこで、選択したフラッシュメモリ領域を記憶するために使用されるファイル名の入力をユーザーに促す。単一のファイルでは選択したフラッシュイメージ領域の全体を記憶するのに十分な大きさではない場合には、複数のファイルを周知の方法を使用して互いに連鎖させても良い。次に、処理ブロック609と決定ブロック611との間のループを開始して、選択したフラッシュメモリ領域の内容を読み取り（処理ブロック609）、その後、その内容を指定のファイル又は連鎖ファイルに書込む（処理ブロック610）。セーブ動作は、選択したフラッシュメモリ領域の内容全体を指定のファイルへ転送し終わるまで続く。転送が終われば、処理経路613を通して処理ブロック614に至り、そこで、セーブ動作の状態をユーザーに表示する。その後、処理は図5の丸Eで示す場所へ続き、オペレータに次の指令選択の入力を促す。

【0039】再び図6を参照すると、図6の丸Cの下方にはフラッシュ領域更新指令に関わる処理論理が示されている。ユーザーがフラッシュ領域更新指令を選択すると、処理制御は処理ブロック615へ移行し、そこで、指定のフラッシュメモリ領域へ転送されるフラッシュデータイメージを含むファイル名の入力をユーザーに促す。本発明の更新ユーティリティに様々なコンピュータ構成やフラッシュメモリ装置を処理させるために、更新

処理論理を保護手順として正規システムBIOSに埋め込んである。コンピュータシステムはフラッシュメモリの消去及びプログラミングの準備を行う（処理ブロック635）。処理ブロック636でフラッシュメモリ領域を消去する。処理ブロック616では、本発明の動的更新ユーティリティにより使用するために、BIOSからそれらの保護手順を検索する。動的更新ユーティリティはそれらの保護更新手順を使用して、指定のファイルの内容を指定のフラッシュメモリ領域へ転送する（処理ブロック617）。この更新動作は、指定ファイルの内容全体を指定のフラッシュメモリ領域へ転送し終わるまで続く。更新が完了すると（処理経路620）、更新動作の状態結果を処理ブロック621でユーザーに表示する。更新がコンピュータシステムの再ブートを要求する場合（処理経路623）、処理ブロック625で、コンピュータシステムを再ブートすることにより新たに更新されたBIOSを起動すれば良い。再ブートが不要であれば、処理経路624を通して図5に丸Eで示してある場所に至り、そこで、新たな指令選択の入力をユーザーに促す。

【0040】以上、不揮発性装置に記憶されているコード／データの一部をコンピュータシステムからカバー又は部品を取り外さずに動的に修正又は更新することができコンピュータシステムを説明した。本発明を特定の一実施例に関連して説明したが、数多くの改変や変形は当業者には容易に思い浮かぶであろう。従って、そのような変形や変更は、全て、特許請求の範囲により規定される本発明の所期の範囲の中に包含される。

【0041】BIOSフラッシュメモリ手順

A. 非保護BIOS手順

FLASHメモリインタフェースについて次のBIOSサービス呼び出しがある。

INTERRUPT=15H

FUNCTION(AH)=0DBH

SUBFUNCTIONS(AL)

00H FLASHメモリ領域の読取り

入力:

DS=出力ファイル見出しのセグメント

SI=出力ファイル見出しのオフセット

ES=読取り情報を導入すべきバッファのセグメント

DI=読取り情報を導入すべきバッファのオフセット

出力:

AH=状態出力 0=読取り成功

1=無効入力

01H FLASHメモリ領域の報告

入力: CL=論理領域番号(0~0FFh)

出力: DI=32バイト領域情報構造に対するポインタのオフセット

ES=32バイト領域情報構造に対するポインタのセグメント

AH=状態出力 0=成功

1=無効入力

02H 保護手順サイズ獲得

入力: なし

出力: BX=保護手順のサイズ(バイト単位)

03H FLASH消去の準備

入力: ES=保護手順を導入すべきバッファのセグメント

DI=保護手順を導入すべきバッファのオフセット

10 DS=入力ファイルの見出しのセグメント

SI=入力ファイルの見出しのオフセット

BX=BIOSテーブルのためのバッファのセグメント

DX=BIOSテーブルのためのバッファのオフセット

出力: BX=動作を完了するためにBIOSが要求する余剰メモリの量

AH=状態出力 0=問題なく完了

1=無効入力

2=無効動作

3=無効サイズ

20 4=無効データ型

04H 回復モードは活動中か

入力: なし

出力: BX 0=回復モードは活動中

0でない=正規モードが活動中

AH=状態出力 0=問題なく完了

1=このシステムではFLASHメモリを支援しない

【0042】B. 保護BIOS手順

保護手順は「消去準備」呼び出しによりES:DIに戻されるアドレスへの遠隔呼び出しによりアクセスされ、

30 次のインタフェースを要求する。

AL=00H FLASHメモリ領域を消去

入力: DS=入力ファイル見出しのセグメント

SI=入力ファイル見出しのオフセット

ES=BIOSにより要求される追加メモリのセグメント

DI=BIOSにより要求される追加メモリのオフセット

CH=状態 0=正規モード

1=回復モード

40 BX=BIOSテーブルのためのバッファのセグメント

DX=BIOSテーブルのためのバッファのオフセット

出力: AH=状態出力 0=読取り成功

1=無効入力

2=消去障害

AL=01H FLASHメモリ領域のプログラム

入力: CH=状態 0=正規モード

1=回復モード

DS=入力ファイル見出しのセグメント

SI=入力ファイル見出しのオフセット

50 ES=BIOSにより要求される追加メモリのセグメント

ト

DI = BIOSにより要求される追加メモリのオフセット

BX = BIOSテーブルのためのバッファのセグメント

DX = BIOSテーブルのためのバッファのオフセット

出力: AH = 状態出力 0 = 読取り成功

1 = 無効入力

3 = 領域消去されず

4 = 誤り検査

【図面の簡単な説明】

【図1】本発明のコンピュータシステムを示す図。

【図2】好ましい実施例で使用するフラッシュメモリ装置におけるBIOSのメモリマップを示す図。

【図3a】正規動作中のBIOSのメモリマップを示す図。

【図3b】回復モードの間のBIOSのメモリマップを\*

\*示す図。

【図4】動的BIOS更新メカニズムの処理論理アーキテクチャのブロック線図。

【図5】本発明の動的BIOS更新処理論理のフローチャート。

【図6】本発明の動的BIOS更新処理論理のフローチャート。

【符号の説明】

100 バス

101 プロセッサ

102 ランダムアクセスメモリ装置

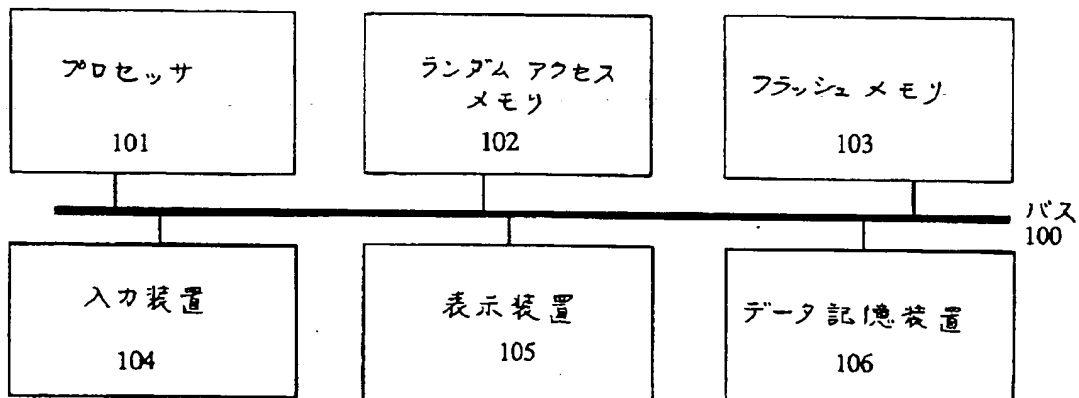
103 フラッシュメモリ

104 入力装置

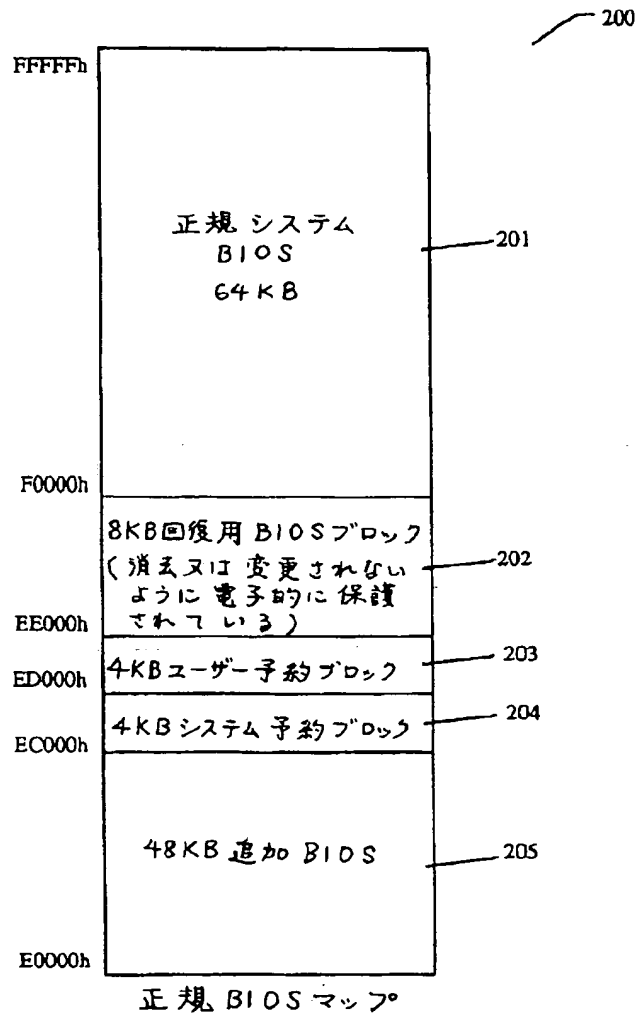
105 表示装置

106 データ記憶装置

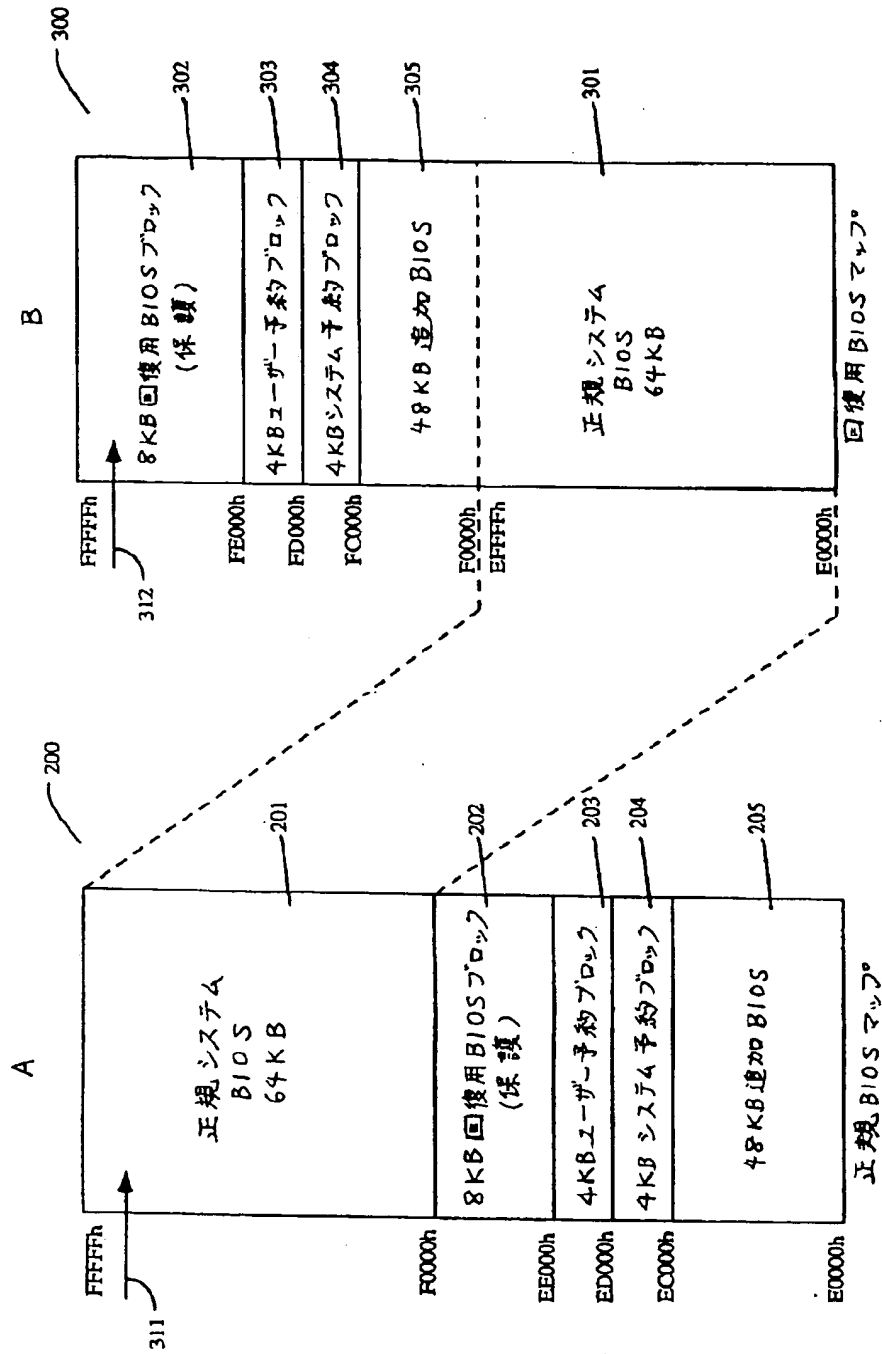
【図1】



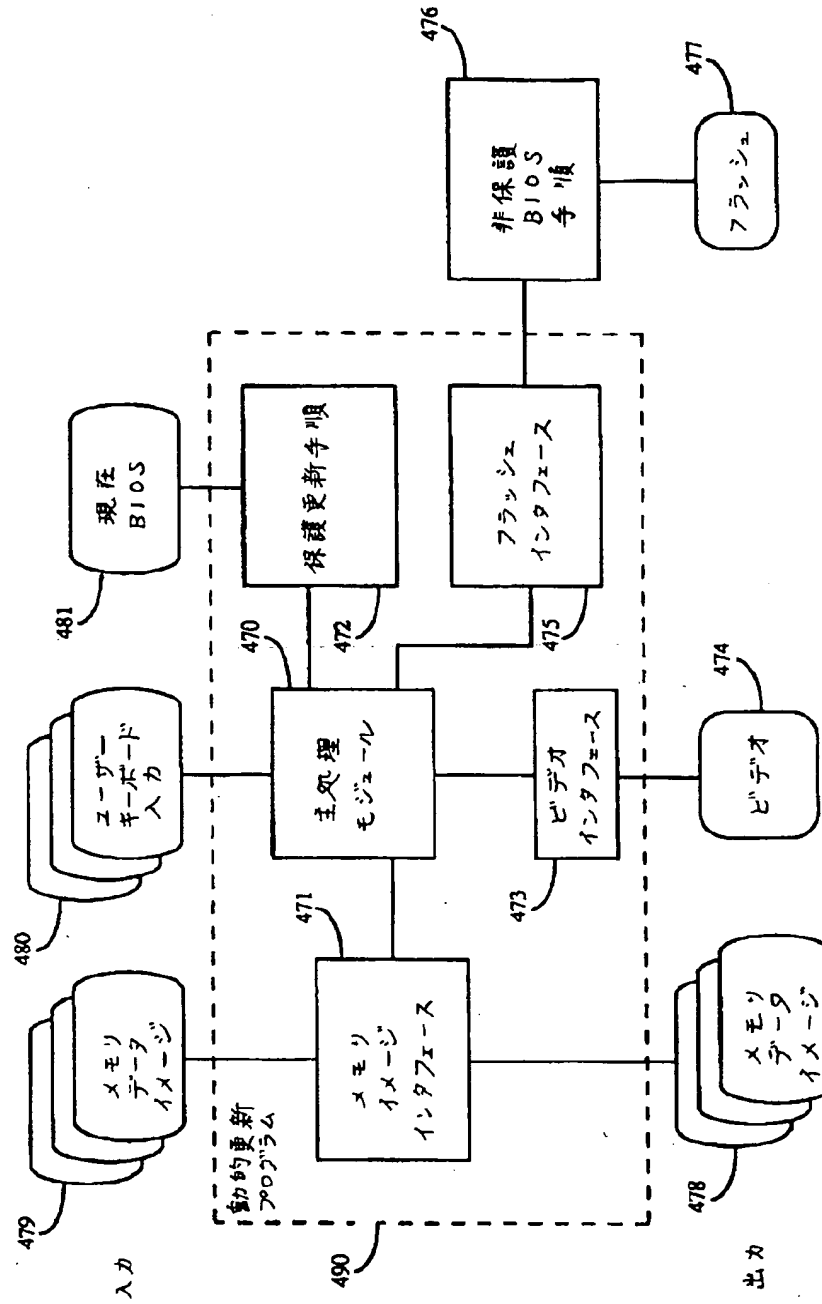
【図2】



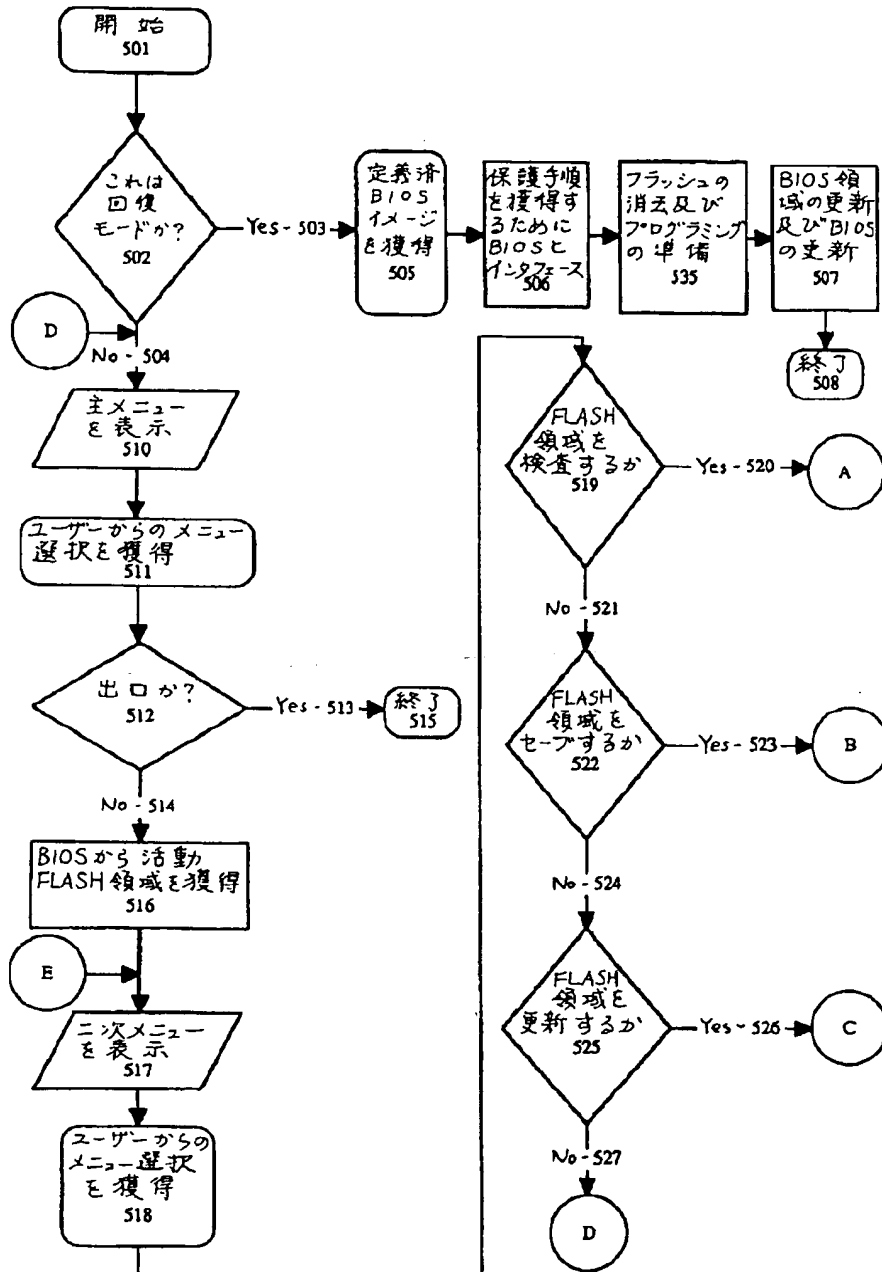
〔図3〕



【図4】

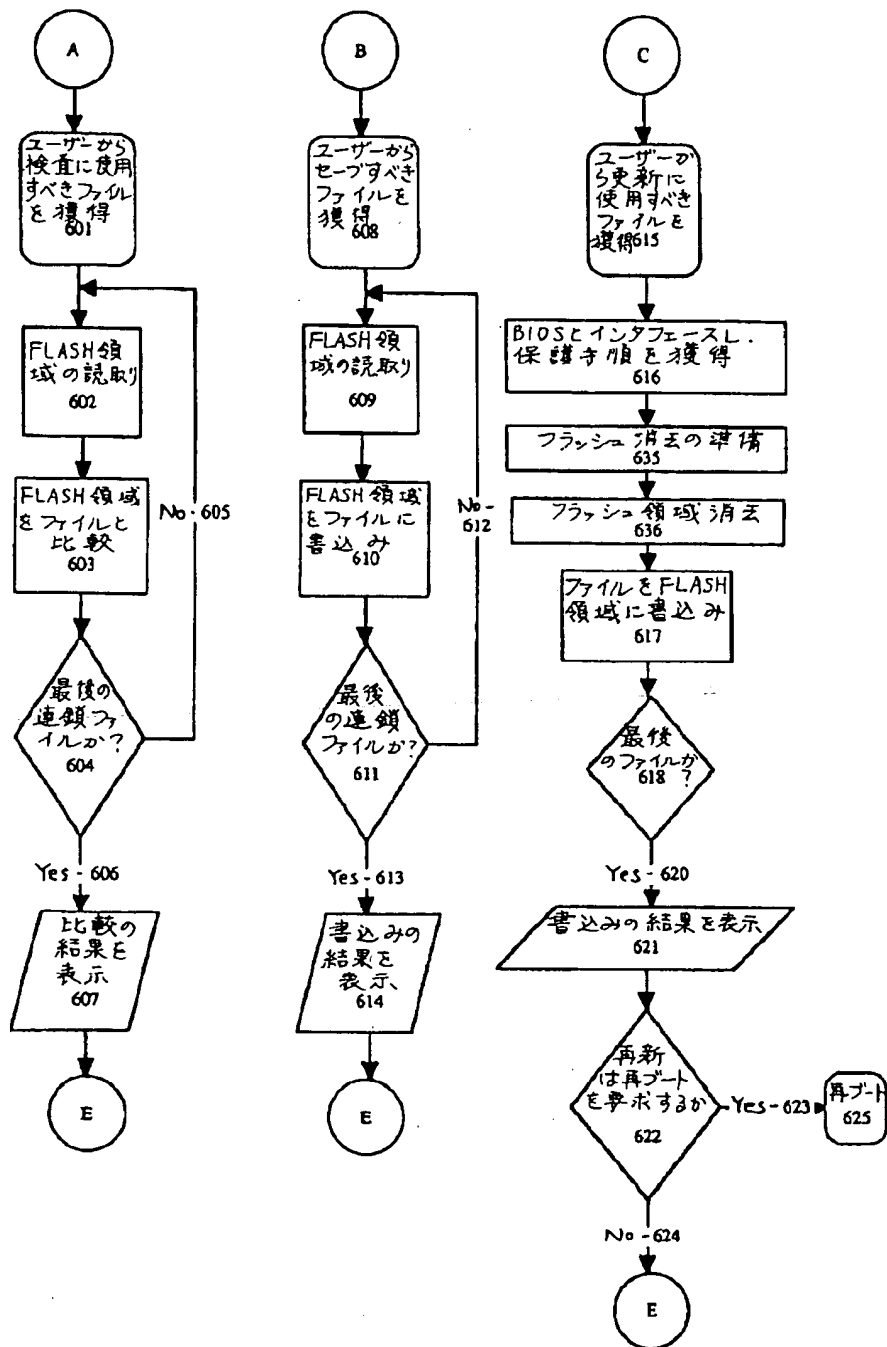


〔図5〕





【図6】



フロントページの続き

(72)発明者 ダグラス・エル・ゲイブル  
アメリカ合衆国 97007 オレゴン州・ア  
ロハ・サウスウエスト グラナダ ドライ  
ブ・17701

(72)発明者 シーン・ティ・マーフィ  
アメリカ合衆国 97231 オレゴン州・ポ  
ートランド・ノースウエスト カイザー  
ロード・9515

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**